

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-100770

(43)Date of publication of application : 05.04.2002

(51)Int.Cl.

H01L 29/78

(21)Application number : 2000-288324

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.09.2000

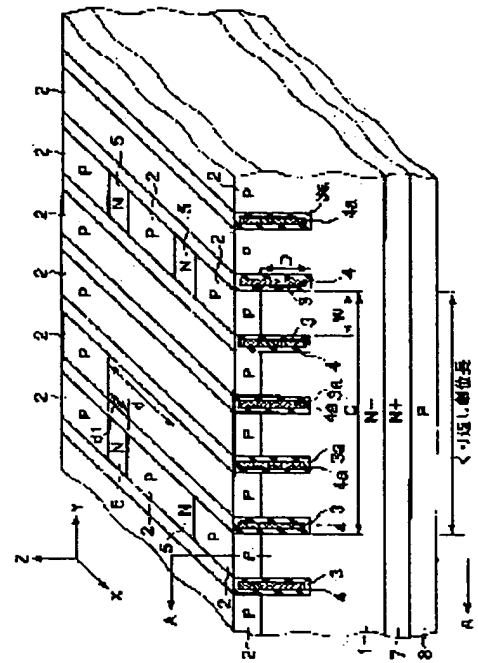
(72)Inventor : KITAGAWA MITSUHIKO

(54) INSULATING GATE TYPE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an insulating gate type semiconductor device having an on-resistance similar to that of a thyristor, while the resistance level of an element at a short-circuit accident is kept with a high maximum cut-off current density.

SOLUTION: The insulating gate type semiconductor device comprises an N- base layer 1, a P-type base layer 2, a trench 3 so formed as to penetrate the P-type base layer 2 before reaching a depth D from the interface against the N- base layer 1, and a gate electrode 4 embedded in the trench 3 via a gate insulating film. A plurality of N-type emitter layers 5 are formed in well in the lengthwise direction of the P-type base layer 2 separated into a stripe by the trench 3, while a cathode electrode is formed so as to be connected electrically to the surface of the P-type base layer 2 and the surface of the N-type emitter layer 5. If this is set as a basic configuration, the on-resistance will be reduced, while the maximum cut-off current density is high by increasing the conductivity modulation of the N-base layer 1 with the large depth D of the trench 3.



LEGAL STATUS

[Date of request for examination]

25.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-100770

(P2002-100770A)

(43)公開日 平成14年4月5日(2002.4.5)

(51)Int. Cl. ⁷	識別記号	F I	ターマコード*(参考)
H 0 1 L 29/78	6 5 2	H 0 1 L 29/78 6 5 2 F	6 5 2 B
	6 5 3		6 5 2 C
	6 5 5		6 5 3 C
			6 5 5 A
審査請求 未請求 請求項の数5	O L		(全19頁)

(21)出願番号 特願2000-288324 (P2000-288324)

(22)出願日 平成12年9月22日(2000.9.22)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 北川 光彦

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74)代理人 100058479

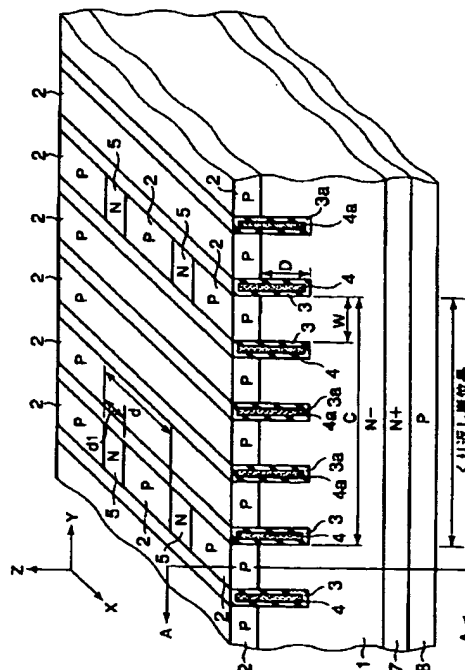
弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 絶縁ゲート型半導体装置

(57)【要約】

【課題】最大遮断電流密度を大として短絡事故時の素子の耐量を維持し、かつ、オン抵抗がサイリスタ並に低い絶縁ゲート型半導体装置を提供する。

【解決手段】本発明の絶縁ゲート型半導体装置は、N⁻ベース層1と、P型ベース層2と、このP型ベース層2を貫通した後さらにN⁻ベース層1との界面から深さDに達するように形成されたトレンチ3と、このトレンチ3の内部に、ゲート絶縁膜を介して埋め込まれたゲート電極4を具備する。トレンチ3によりストライプ形に分離されたP型ベース層2の長手方向に沿って複数のN型エミッタ層5をウエル状に形成し、P型ベース層2の表面及びN型エミッタ層5の表面に対して共に電氣的に接続するようにカソード電極を形成する。これを基本構成とすれば、トレンチ3の深さDを大としてN⁻ベース層1の伝導度変調を強めることでオン抵抗を低減し、かつ最大遮断電流密度を大とすることができる。



型ベース層 2)、N 型エミッタ層 (N 型エミッタ層 5) の 4 層 PNP 構造からなるサイリスタ構造を基本としている。

【0008】しかし、図 24 に示す IGBT では、N 型エミッタ層 5 と P 型ベース層 2 とが第 1 の主電極 6 で電氣的に接続され、また、N 型エミッタ層 5 から N⁻ベース層 1 への電子の注入が、ゲート絶縁膜を介してトレンチ 3 に埋め込まれたゲート電極 4 によりトレンチ 3 の両側面に誘起される N チャネルを介して行われるため、上記サイリスタ構造のオン状態において、第 1、第 2 主電極間の電圧が急激に低下するラッチアップと呼ばれる現象を生じないように構成されている。

【0009】このため、IGBT は GTO (Gate Turn-off thyristor) 等の各種のサイリスタに比べてオン抵抗は高いが、N 型エミッタ 5 をソース、N⁻ベース層 1 をドレイン、トレンチ 3 の内部にゲート絶縁膜を介して埋め込まれた電極 4 をゲートとする絶縁ゲート電界効果トランジスタ特有の電流飽和特性を利用するため最大遮断電流密度が大きく、またラッチアップを生じないため、短絡事故による破壊から IGBT 素子を保護することが可能である。

【0010】一方、サイリスタは、上記のようにオン状態で PNP 構造がラッチアップするためオン電圧 (オン抵抗) が極めて低い反面、最大遮断電流密度が小さいという欠点がある。また、サイリスタがラッチアップすればサイリスタの制御が不可能になることから、短絡事故による破壊に対してサイリスタ自身の保護効果を期待することができない。

【0011】

【発明が解決しようとする課題】上記したように従来のサイリスタは、オン抵抗は低い最大遮断電流が小さく、ラッチアップを生じるので短絡事故で破壊し易いという問題があった。また、従来のトレンチ型 IGBT は最大遮断電流密度は大きいオン抵抗が高いという問題があった。

【0012】本発明は上記の問題点を解決すべくなされたもので、トレンチ型 IGBT と同等の大きな最大遮断電流密度を有することで短絡事故時の素子の耐量を維持しつつ、オン抵抗がサイリスタ並に低い絶縁ゲート型半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の絶縁ゲート型半導体装置は、N⁻層からなる第 1 導電型ベース層と、P 型層からなる第 2 導電型ベース層と、この P 型層の表面から P 型層を貫通した後さらに前記 P 型層と N⁻層との界面からの深さ D に達するように形成されたトレンチ (溝) と、この溝の内部にゲート絶縁膜を介して埋め込まれたゲート電極 4 とを具備する。前記溝によりストライプ形に分離された前記 P 型層からなる第 2 導電型ベース層の長手方向に沿って、少なくとも一方の端が前記溝

に接する複数の N 型層からなる第 1 導電型エミッタ層をウエル状に形成し、第 2 導電型ベース層の表面及び第 1 導電型エミッタ層の表面に対して共に電氣的に接続するようにカソードを成す第 1 の主電極を形成することを特徴とする。

【0014】これを基本構成とすれば、前記界面からの溝の深さ D を大として第 1 導電型ベース層の伝導度変調を強めることでオン抵抗を低減し、かつ前記複数の微細に形成された第 1 導電型エミッタ層を電子注入のソースとして用いることにより最大遮断電流密度を大とすることができる。

【0015】具体的には本発明の絶縁ゲート型半導体装置は、高抵抗の第 1 導電型ベース層と、この第 1 導電型ベース層の表面に形成された第 2 導電型ベース層と、この第 2 導電型ベース層の表面に選択的に形成された複数の第 1 導電型エミッタ層と、この第 2 導電型ベース層の表面から前記第 2 導電型ベース層を貫通し、前記第 1 導電型ベース層内部の一定の深さに達するように形成された溝と、ゲート絶縁膜を介して前記溝を埋め込むように形成されたゲート電極と、前記第 2 導電型ベース層の表面及び前記第 1 導電型エミッタ層の表面に共に電氣的に接続するように形成された第 1 の主電極と、前記第 1 導電型ベース層の下面に形成された第 2 導電型エミッタ層と、この第 2 導電型エミッタ層の下面に形成された第 2 の主電極とを具備し、前記第 2 導電型ベース層は長手方向に平行に形成された 2 個の前記溝により画定されたストライプ形の領域を成し、前記複数の第 1 導電型エミッタ層は、その両端が 2 個の前記溝にそれぞれ接するように形成され、かつ、前記溝の第 1 導電型ベース層内部の一定の深さを D (m)、前記ストライプ形の第 2 導電型ベース層の幅を W (m)、前記第 2 導電型ベース層の表面に沿って前記ストライプ形の長手方向に直角な方向の前記第 2 導電型ベース層の繰り返し単位長を C (m)、前記第 2 導電型ベース層のシート抵抗を R_p ($\Omega/\text{squar e}$)、前記第 1 導電型エミッタ層の前記ストライプ形の長手方向の幅を d_1 (m) とするとき、 $(R_p \times d_1)^2 \leq 2 \times 10^{-7}$ 、 $W / (C \times D) \leq 1 \times 10^5$ の条件が成り立つことを特徴とする。

【0016】また、前記絶縁ゲート型半導体装置において、前記複数の第 1 導電型エミッタ層は、その片端が 2 個の前記溝にそれぞれ接するように形成されることを特徴とする。

【0017】好ましくは、前記ストライプ形の第 2 導電型ベース層は、長手方向に平行に形成された第 1 の 2 個の前記溝と、前記長手方向と直角な方向に平行に形成された第 2 の 2 個の前記溝により周辺が画定された領域を前記ストライプ形の長手方向に沿って繰り返し配置することにより形成され、前記複数の第 1 のエミッタ層は、その両端が前記第 1 の 2 個の溝にそれぞれ接するように形成され、前記両端と直角な片端が前記第 2 の 2 個の溝

P型エミッタ層8からN⁻ベース層1に注入される。このような電子・正孔の注入により、N⁻ベース層1に伝導度変調を生じて、N⁻ベース層の抵抗が低くなり絶縁ゲート型半導体装置はオン状態になる。

【0032】図1に示す絶縁ゲート型半導体装置においては、従来のトレンチゲート型IGBTに比べてN⁻ベース層1におけるトレンチ3の深さDを大として、P型エミッタ層8からN⁻ベース層1に注入された正孔の流れが、両側をトレンチ3とゲート電極4で囲まれたN⁻ベース層1の領域で狭められ、P型ベース層に排出され

難くなるように構成されている。このため、P型エミッタ層8から注入された正孔はN⁻ベース層1に蓄積される。

【0033】この蓄積された正孔に見合う電子がさらにN型エミッタ層5からN⁻ベース層1に注入されることにより、N⁻ベース層1の伝導度変調が強められ、絶縁ゲート型半導体装置のオン抵抗を効果的に低減することができる。このような、N⁻ベース層1のエミッタ側に蓄積された正孔によるN型エミッタ層5からの電子注入の増加を、以下、IE効果(Injection Enhancement Effect)と呼ぶことにする。

【0034】先に述べたように、図1に示す絶縁ゲート型半導体装置のストライプ形のP型ベース層2において、N型エミッタ層5を含まないものは第1の主電極6と電気的に接続されないで、主電極6に正孔を排出することができない。従って、ダミートレンチ3aとダミーゲート4aにより分離されたP型ベース層2は、両側をトレンチ3とゲート電極4で囲まれたN⁻ベース層1の領域と同様にIE効果に寄与し、素子のオン抵抗を低減することになる。

【0035】一方、本発明の絶縁ゲート型半導体装置を遮断状態(オフ状態)にするためには、第1の主電極(カソード電極)6に対してゲート電極4に0V又は負の電圧を与えて、P型ベース層2に形成されていたNチャンネルを消滅させる。このようにしてN型エミッタ層5(ソース)からN⁻ベース層1(ドレイン)への電子の注入が停止するので、これに見合うP型エミッタ層8からN⁻ベース層1への正孔の注入も停止する。その結果、N⁻ベース層での伝導度変調が消滅し、N⁻ベース層1の抵抗が高くなって本発明の絶縁ゲート型半導体装置はオフ状態になる。

【0036】このように、第1の実施の形態に係る絶縁ゲート型半導体装置は、オン電流が電流飽和特性を示す電界効果トランジスタのゲートで制御され、IE効果に基づく伝導度変調を用いて素子の直列抵抗を成すN⁻ベース層1の抵抗を最小化し、N型エミッタ層5とP型ベース層とを第1の主電極6で接続してラッチアップを回避することにより、従来のGTOやサイリスタに比べて最大遮断電流密度が大きく、オン抵抗はGTOやサイリスタ並に低く、かつ、高電圧における短絡耐量に優れた絶

縁ゲート型半導体装置を提供することができる。

【0037】以上、第1の実施の形態の絶縁ゲート型半導体装置の特徴を定性的に説明したが、次に、図3

(a)、図3(b)を用いて、従来のIGBTと対比しつつ、本発明の絶縁ゲート型半導体装置の基本原理と設計方法をさらに詳細に説明する。なお、ここで説明する動作原理と設計方法は、必ずしも第1の実施の形態のみならず、以下の全ての実施の形態の基礎をなすものである。

【0038】図3(a)の右側に本発明の絶縁ゲート型半導体装置の基本構造を示す。従来のIGBTとの対比を容易にするために、N型エミッタ層として、図24のN型エミッタ層5に対応する構造が示されている。ダミーゲートは、動作上重要なダミートレンチのみが示され、また、ダミートレンチで分離されるPベースは省略されている。

【0039】図3(a)の左側にN⁻ベース層における、Z方向のキャリア分布が示されている。図1に示すように、本発明の絶縁ゲート型半導体装置においては、カソード電極に対するN型エミッタ層とPベース層の接続面の割合は、従来のIGBTに比べてPベース層の接続面を大きく、N型エミッタ層の接続面を微細にするように設計されている。

【0040】先に述べたように、図24に示す従来のIGBTでは、N型エミッタ層5とP型ベース層2が第1主電極6で電気的に接続されており、P型ベース層2を流れ第1主電極6に排出される正孔電流が、N型エミッタ層5とP型ベース層2との間のビルトイン電圧によりN型エミッタ層5に流入しないようにすることでラッチアップの発生を回避している。すなわち、ラッチアップの抑制効果は、第1主電極6を流れる全電流の内、Pベース層2との接続面から排出されるホールバイパス電流の大きさと、Pベース層2の不純物濃度の大きさとで定められる。

【0041】本発明の絶縁ゲート型半導体装置における設計方法の第1の特徴は、図3(a)の領域(1)に矢示した第1主電極(カソード電極)直下部において、微細なN型エミッタ層を形成する、このN型エミッタ層に対するPベース層の接続面の面積比率を大きくする、Pベース層の不純物濃度を高める等の方法により、ホールバイパス電流の割合を大きくしてラッチアップ耐量を向上させ、短絡時の破壊から絶縁ゲート型半導体装置を保護する短絡耐量(短絡電流 $I_{sc}=100A\sim300A/\text{チップ}$)を高めることにある。

【0042】なお、上記N型エミッタ層に対するPベース層の接続面の比率に直接関連するデバイスパラメータとして、図1、図6、図8、図9、図10、図12、図14、図15、図16、図17にd1及びdを示した。実用上最適なd1及びdの数値範囲は、 $d1=1\mu m\sim2\mu m$ 、 $d=1\mu m\sim10\mu m$ であり、また好ましくは

導体装置が十分なIE効果を示すための条件式は次のように与えられる。

*【0056】

$$W/(D \times C) \leq 1 \times 10^5$$

…(2)

このように構成された本発明の絶縁ゲート型半導体装置は、短絡時の電源電圧が数千Vと高く、通常使用する電流密度が 10^6 A/m^2 と比較的低い高耐圧電力素子として優れた性能を示し、従来のGTOやサイリスタ並の低いオン抵抗と、従来のIGBT並の最大遮断電流密度の値を維持しつつ、短絡事故時における大きな耐量を備えた電力用半導体素子を提供することができる。

【0057】次に図6、図7を用いて第1の実施の形態の絶縁ゲート型半導体装置の変形例について説明する。図7は、図6のA-A断面図である。図6、図7に示す第1の実施の形態の変形例は、P型ベース層2の下部に隣接してN型バリア層10を具備することが第1の実施の形態と異なる。その他の構造は第1の実施の形態と同様であるため同一部分に同一の参照番号を付して詳細な説明を省略する。

【0058】図6、図7のN型バリア層10によれば、トレンチ側壁部に形成される絶縁ゲートトランジスタを介してN型エミッタ層5からN⁻ベース層1に注入された電子を見合うP型エミッタ層8からN⁻ベース層1に注入される正孔のカソード側への流れが、N型バリア層10とN⁻ベース層1との間に形成される小さなビルトイン電圧により妨げられ、この正孔が第1の主電極6に排出され難くする効果が得られる。

【0059】この効果は、先に第1の実施の形態で説明したトレンチ3の深さDを大として正孔を流れ難くする効果や、ダミートレンチ3aとダミーゲート4aにより分離されたN型エミッタ層5を含まない、主電極6に正孔を排出することができないストライプ形のP型ベース層2の役割と同様であるから、N型バリア層10はIE効果の増強に寄与することができる。従って、図6に示す第1の実施の形態の変形例を用いれば、さらにオン抵抗の小さい絶縁ゲート型半導体装置を提供することが可能になる。

【0060】次に、図8を用いて第2の実施の形態に係る絶縁ゲート型半導体装置について説明する。図8に示す第2の実施の形態の絶縁ゲート型半導体装置は、N型エミッタ層5が片側のトレンチ3にのみ接し、図6のように両側のトレンチ3に共に接するようには形成されないことが第1の実施の形態と異なる。その他の構造は第1の実施の形態と同様であるため、同一部分に同一の参照番号を付して詳細な説明を省略する。なお、図8のA-A断面図は、N型エミッタ層5が、P型ベース層の中心線を越えて形成されれば図2と同様になり、P型ベース層の中心線に達しなければ図25と同様になる。

【0061】第2の実施の形態の絶縁ゲート型半導体装置における構造上の特徴は、第1の実施の形態に比べてP型ベース層におけるN型エミッタ層のパターンが占め

る面積比が小さいので、電圧に対する短絡電流 I_{sc} の飽和特性が弱められ、極めてラッチアップの生じ難い素子を提供することができる。

【0062】従来のIE効果を考慮しないIGBTの場合、このようなN型エミッタ層の設計をすれば素子のオン抵抗が著しく増加し、素子のオン状態での現実的な電流密度を得ることが難しくなる。ダミートレンチなどのIE効果をこのようなエミッタ構造と同時に用いることで短絡耐量が高く、かつオン抵抗が十分に低い素子がはじめて可能となる。

【0063】図3に本発明の基本原則を示したが、第2の実施の形態では短絡耐量に重要なN型エミッタ層のラッチアップ耐量の設計と素子のオン抵抗低減に必要なN⁻ベース層のキャリア蓄積の設計を別個のパラメータで設計することが可能であり、このことから、従来に比べてより高いレベルでの短絡耐量又は電流遮断能力と低いオン抵抗特性とのトレードオフを実現することができる。

【0064】このように、P型ベース層におけるN型エミッタ層のパターン形状を変化させることで、種々の使用目的に合わせた絶縁ゲート型半導体装置を提供することが可能になる。

【0065】次に、図9を用いて第2の実施の形態の絶縁ゲート型半導体装置の変形例について説明する。図9に示す第2の実施の形態の変形例は、P型ベース層2の下部に隣接してN型のバリア層10を具備することが第2の実施の形態と異なる。その他の構造は第1の実施の形態と同様であるため、同一部分に同一の参照番号を付して詳細な説明を省略する。

【0066】先に第1の実施の形態の変形例として説明したように、N型バリア層10は正孔が第1の主電極6に排出され難くする効果がある。これを用いれば、第2の実施の形態におけるIE効果の減少を補い、素子のオン抵抗を低減することができる。なお、第2の実施の形態及びその変形例において、電力用半導体素子として最良の結果が得るための構造パラメータの条件式は、先に式(1)、式(2)に示したものをそのまま用いることができる。

【0067】次に図10、図11を用いて第3の実施の形態に係る絶縁ゲート型半導体装置について説明する。図11は図10に示す斜視図のA-A断面を示す図である。第3の実施の形態の絶縁ゲート型半導体装置における構造上の特徴は、図10の斜視図と図11の断面図に示されるように、トレンチ3とゲート絶縁膜を介してトレンチ3に埋め込まれたゲート電極4がX方向(図1参照)に沿って梯子型に形成されることである。

【0068】梯子型トレンチ3により閉じるように囲ま

ドレインとする絶縁ゲート電界効果トランジスタが、素子パターンの中に高密度に配置される。このため、カソード側の第1の主電極に排出される正孔のバイパス電流に対し電子のチャンネル電流の比が大となり、短絡電流 I_{sc} の電圧に対する飽和特性が強めらる。

【0082】第4の実施の形態では、N型エミッタ層5が存在しないP型ベース層2を介在させることなく、素子パターンが形成されるので、第1の実施の形態で説明したこれらのP型ベース層2による正孔電流の阻止がなされず、このため、1E効果による素子のオン抵抗の低減は第1の実施の形態に比べてやや劣るが、一方電子のチャンネル電流の比が大となるため、チャンネル電流により素子のオン電流が補われることになる。

【0083】次に、図15を用いて第4の実施の形態の絶縁ゲート型半導体装置の変形例について説明する。図15に示す第4の実施の形態の変形例は、P型ベース層2の下部に隣接してN型のバリア層10を具備することが第4の実施の形態と異なる。その他の構造は第1の実施の形態と同様であるため、同一部分に同一の参照番号を付して詳細な説明を省略する。

【0084】先に第3の実施の形態の変形例として説明したように、N型バリア層10は正孔が第1の主電極6に排出され難くする効果がある。これを用いれば、第3の実施の形態における1E効果の減少を補い、素子のオン抵抗を低減することができる。なお、第4の実施の形態及びその変形例において、電力用半導体素子として最良の結果を得るための構造パラメータの条件式は、先に式(1)、式(2)に示したものをそのまま用いることができる。

【0085】次に、図16を用いて第5の実施の形態に係る絶縁ゲート型半導体装置について説明する。第5の実施の形態の構造上の特徴は、図16の斜視図に示されるように、先に図10、図11を用いて説明した第3の実施の形態の絶縁ゲート型半導体装置と類似している。すなわち、トレンチ3とゲート絶縁膜を介してトレンチ3に埋め込まれたゲート電極4がX方向(図1参照)に沿って梯子型に形成されることである。

【0086】梯子型トレンチ3により閉じるように囲まれたN型エミッタ層5とP型ベース層2からなる領域が、X方向に沿って連続して配列されることで、第5の実施の形態のN型エミッタ層5を含む梯子型のストライプパターンが形成される。第3の実施の形態と同様に、P型ベース層2、及びその下部のN型ベース層1も梯子型トレンチ3により閉じるように囲まれている。

【0087】しかし、先に図10、図11を用いて説明した第3の実施の形態の絶縁ゲート型半導体装置においては、複数のN型エミッタ層5が形成されたストライプ形のP型ベース層2に隣接して、N型エミッタ層5が存在しない少なくとも1個のP型ベース層2が形成されていたが、図16に示す第5の実施の形態では、N型エミ

ッタ層5が存在しないP型ベース層2を介在させることなく、複数のN型エミッタ層5が形成されたストライプ形のP型ベース層2が互いに隣接して形成される。

【0088】なお図16において、これらの隣接するストライプパターンが、X方向(図1参照)に互いに $d/2$ だけずれて配置されているが、これは十字型にクロスした深いトレンチを形成することが製造工程上困難であるため、トレンチの交点が製造容易なT字型構造となるようにしたものである。素子性能上はトレンチの交点が十字型であってもT字型であっても変化はない。

【0089】このように互いに隣接する複数のN型エミッタ層5を含むP型ベース層2からなるパターンの終端部は、図16の左側に示されるように単にP型ベース層2で囲んでも良いし、図16の右側に示されるように、トレンチ3aとダミーゲート4aとを用いて囲んでも良い。なお、これらのN型エミッタ層5が存在しない終端部のP型ベース層2には、第1の主電極6は電氣的に接続されない。

【0090】このように構成された第5の実施の形態の絶縁ゲート型半導体装置は、第3の実施の形態に比べて、N型エミッタ層5をソース、N型ベース層1を共通ドレインとする絶縁ゲート電界効果トランジスタが、素子パターンの中に高密度に配置される。このため、カソード側の第1の主電極に排出される正孔のバイパス電流に対し、電子のチャンネル電流の比が大となり、短絡電流 I_{sc} の電圧に対する飽和特性が強めらる。

【0091】しかし、第3の実施の形態では、N型エミッタ層5が存在しないP型ベース層2を介在させることなく、素子パターンが形成されるので、第1の実施の形態で説明したこれらのP型ベース層2による正孔電流の阻止がなされず、このため、1E効果による素子のオン抵抗の低減は、第1の実施の形態に比べてやや劣るが、一方電子のチャンネル電流の比率が大となるため、チャンネル電流により素子のオン電流が補われることになる。

【0092】次に、図17を用いて第5の実施の形態の絶縁ゲート型半導体装置の変形例について説明する。図17に示す第5の実施の形態の変形例は、P型ベース層2の下部に隣接してN型バリア層10を具備することが第5の実施の形態と異なる。その他の構造は第1の実施の形態と同様であるため、同一部分に同一の参照番号を付して詳細な説明を省略する。

【0093】先に第3の実施の形態の変形例として説明したように、N型バリア層10は正孔が第1の主電極6に排出され難くする効果がある。これを用いれば、第5の実施の形態における1E効果の減少を補い、素子のオン抵抗を低減することができる。なお、第5の実施の形態及びその変形例において、電力用半導体素子として最良の結果を得るための構造パラメータの条件式は、先に式(1)、式(2)に示したものをそのまま用いることができる。

【図 5】本発明の絶縁ゲート型半導体装置のセルサイズと短絡電流との関係を示す図。

【図 6】第 1 の実施の形態の変形例に係る絶縁ゲート型半導体装置の構造を示す斜視図。

【図 7】第 1 の実施の形態の変形例に係る絶縁ゲート型半導体装置の A-A 断面を示す図。

【図 8】第 2 の実施の形態に係る絶縁ゲート型半導体装置の構造を示す斜視図。

【図 9】第 2 の実施の形態の変形例に係る絶縁ゲート型半導体装置の構造を示す斜視図。

【図 10】第 3 の実施の形態に係る絶縁ゲート型半導体装置の構造を示す斜視図。

【図 11】第 3 の実施の形態に係る絶縁ゲート型半導体装置の A-A 断面を示す図。

【図 12】第 3 の実施の形態の変形例に係る絶縁ゲート型半導体装置の構造を示す斜視図。

【図 13】第 3 の実施の形態の変形例に係る絶縁ゲート型半導体装置の A-A 断面を示す図。

【図 14】第 4 の実施の形態に係る絶縁ゲート型半導体装置の構造を示す斜視図。

【図 15】第 4 の実施の形態の変形例に係る絶縁ゲート型半導体装置の構造を示す斜視図。

【図 16】第 5 の実施の形態に係る絶縁ゲート型半導体装置の構造を示す斜視図。

【図 17】第 5 の実施の形態の変形例に係る絶縁ゲート型半導体装置の構造を示す斜視図。

【図 18】第 6 の実施の形態に係る絶縁ゲート型半導体装置の性能を示す図。

【図 19】第 6 の実施の形態に係る絶縁ゲート型半導体装置の他の性能を示す図。

【図 20】第 7 の実施の形態に係る絶縁ゲート型半導体装置のパターン形状を示す図。

【図 21】第 7 の実施の形態に係る絶縁ゲート型半導体

装置の他のパターン形状を示す図。

【図 22】本発明の絶縁ゲート型半導体装置の電極構造を示す斜視図。

【図 23】本発明の絶縁ゲート型半導体装置のパッケージの構造を示す図であって、(a) は、圧接電極型パッケージの構造の一例を示す図。(b) は、圧接電極型パッケージの電氣的構成を示す回路図。

【図 24】従来の絶縁ゲート型半導体装置の構造を示す斜視図。

10 【図 25】従来の絶縁ゲート型半導体装置の A-A 断面を示す図。

【符号の説明】

1 … N⁻ベース層

2 … P 型ベース層

3 … トレンチ

3 a … ダミートレンチ

4 … ゲート電極

4 a … ダミーゲート電極

5 … N 型エミッタ層

20 6 … 第 1 主電極

7 … N⁺バッファ層

8 … P 型エミッタ層

9 … 第 2 主電極

10 … N 型バリア層

11 … 開口部

12 … アルミニウム膜

20 … 絶縁ゲート半導体装置のチップ

21、23 … 軟金属板

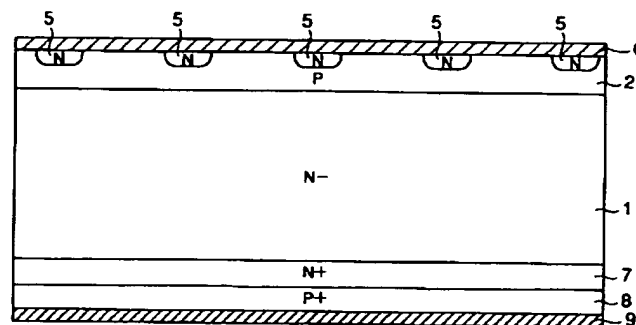
22 … ゲート電極部

30 24 … 圧接用カソード電極

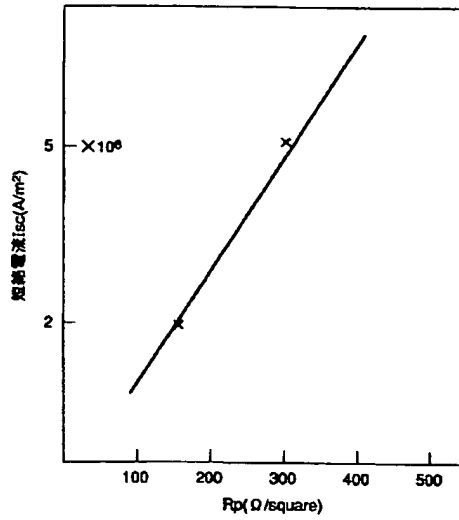
25 … 圧接用アノード電極

26 … 圧接型パッケージ

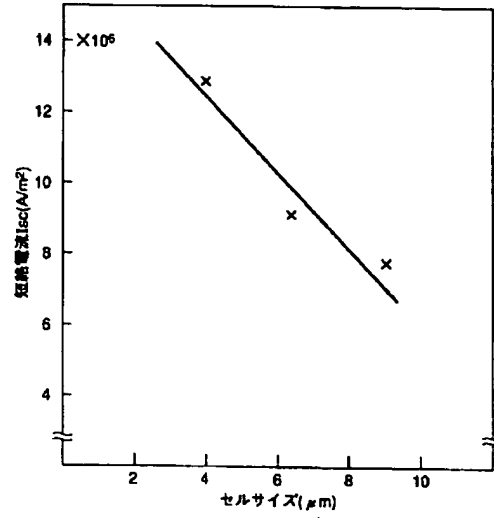
【図 2】



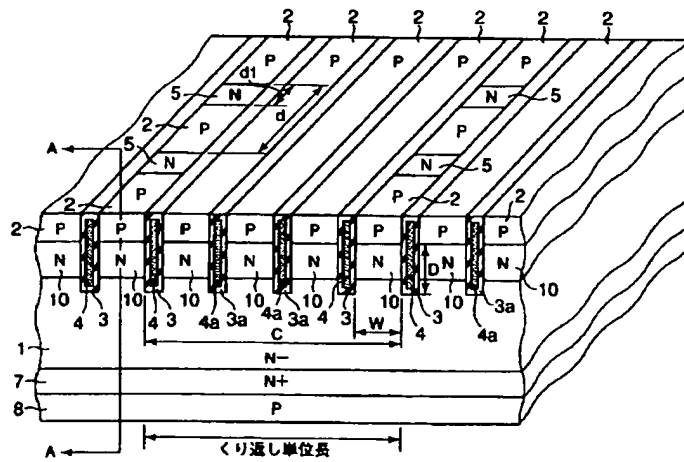
【図4】



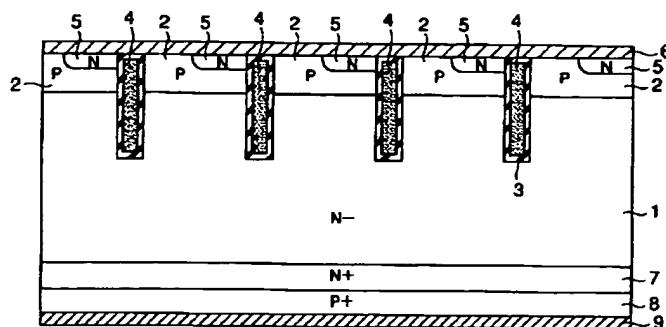
【図5】



【図6】



【図11】



【図 2 4】

